

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-353454

(43)Date of publication of application : 06.12.2002

(51)Int.Cl.

H01L 29/78

(21)Application number : 2001-158612

(71)Applicant : FUJI ELECTRIC CO LTD

(22)Date of filing : 28.05.2001

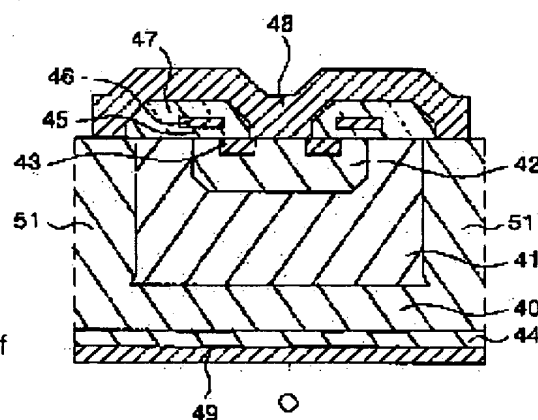
(72)Inventor : TAKEI MANABU

(54) SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain an I-type drift layer PT-IGBT having a buffer layer, which has a drift layer turned into an I layer, by using an FZ wafer.

SOLUTION: An FZ wafer is used. The impurity concentration of a drift layer 41 is made very low, and the drift layer 41 is turned into the I layer. Stretching of a depletion layer is obstructed halfway in the case of a blocking mode. In a state with the stretch of the depletion layer being obstructed, the buffer layer 40 is set in width and concentration having excessive carrier, in a region adjacent to a collector layer. Along an element side surface (dicing surface), an isolation region 51 of high impurity concentration is formed from a surface of the drift layer 41, as far as to the buffer layer 40. When the buffer layer 40 is formed, the isolation region 51, cell structure of an element, etc., are formed on a wafer surface side, and a wafer rear side is ground. After that, the ground surface is irradiated with protons or oxygen ions, and annealing is conducted at 300-500° C.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-353454

(P2002-353454A)

(43) 公開日 平成14年12月6日 (2002. 12. 6)

(51) Int.Cl.⁷

H 0 1 L 29/78

識別記号

6 5 5

6 5 2

F I

H 0 1 L 29/78

テ-マ-ト* (参考)

6 5 5 B

6 5 2 H

審査請求 未請求 請求項の数 5 O L (全 8 頁)

(21) 出願番号 特願2001-158612 (P2001-158612)

(22) 出願日 平成13年5月28日 (2001. 5. 28)

(71) 出願人 000005234

富士電機株式会社

神奈川県川崎市川崎区田辺新田1番1号

(72) 発明者 武井 学

神奈川県川崎市川崎区田辺新田1番1号

富士電機株式会社内

(74) 代理人 100104190

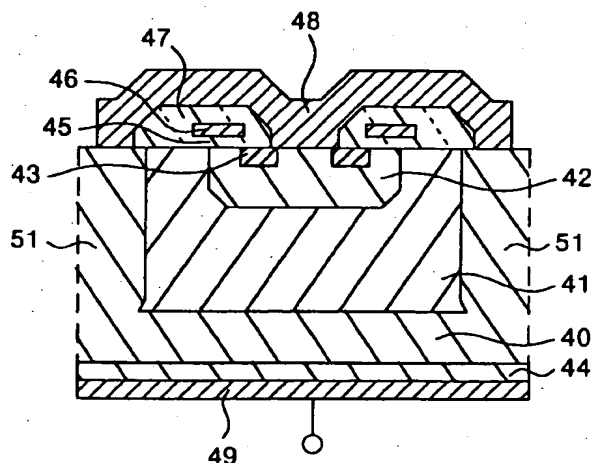
弁理士 酒井 昭徳

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 FZ ウェハを用い、I 層化したドリフト層を有するバッファ層付きの I 型ドリフト層 PT-I GBT を得ること。

【解決手段】 FZ ウェハを用い、ドリフト層 41 の不純物濃度を非常に小さくしてドリフト層 41 を I 層化し、さらにバッファ層 40 を、ブロッキングモード時に空乏層の伸びを途中で阻止するとともに、空乏層の伸びを阻止した状態でコレクタ層寄りの領域に過剰キャリアを有する程度の幅と濃度に設定する。また、素子側面 (ダイシング面) に沿ってドリフト層 41 の表面からバッファ層 40 に至るまで高不純物濃度の分離領域 51 を設ける。バッファ層 40 を形成するにあたっては、ウェハ表面側に分離領域 51 および素子のセル構造等を形成し、ウェハ裏面を研削した後、その研削面にプロトンまたは酸素イオンを照射し、300℃～500℃のアニールをおこなうことにより形成する。



【特許請求の範囲】

【請求項1】 第1導電型の低不純物濃度ドリフト層と、
前記ドリフト層の一方の主面側に形成された第2導電型の高不純物濃度ベース領域と、
前記ベース領域内に形成された第1導電型のエミッタ領域と、
前記エミッタ領域および前記ベース領域の両方に電氣的に接続するエミッタ電極と、
前記ベース領域の表面上に形成されたゲート絶縁膜と、
前記ゲート絶縁膜上に形成されたゲート電極と、
前記ドリフト層の他方の主面側に形成された第2導電型のコレクタ層と、
前記コレクタ層に電氣的に接続するコレクタ電極と、
前記ドリフト層と前記コレクタ層との間に形成され、ブロッキングモード時の空乏層の伸びを途中で阻止するとともに、ターンオフ時に前記コレクタ層寄りの領域に過剰キャリアを有する第1導電型のバッファ層と、
前記ドリフト層の一方の主面から前記バッファ層まで、個々の素子に切り分ける際の切断面に沿って伸びる第1導電型の高不純物濃度分離領域と、
を具備することを特徴とする半導体装置。

【請求項2】 前記バッファ層の厚さを x (cm)とし、順方向導通時の前記バッファ層中の電子濃度を N (cm^{-3})とすると、 $x \cdot N > 1.3 \times 10^{12}$ であることを特徴とする請求項1に記載の半導体装置。

【請求項3】 耐圧構造幅を W (cm)とし、定格耐圧を V (V)とし、前記ドリフト層の不純物濃度を ND (cm^{-3})とすると、 $W^2 < 4.68 \times 10^8 V / ND$ であることを特徴とする請求項1に記載の半導体装置。

【請求項4】 FZウェハの一方の主面側に選択的に高不純物濃度の分離領域を形成する工程と、
隣り合う分離領域間のウェハ表面に、エミッタ領域、ゲート酸化膜、ゲート電極およびエミッタ電極を形成する工程と、
ウェハの他方の主面を研削する工程と、
ウェハの研削後に、ウェハの他方の主面にコレクタ層を形成する工程と、
ウェハの研削後に、ウェハの他方の主面にプロトン照射し、 300°C 以上 500°C 以下の温度でアニールをおこなってバッファ層を形成する工程と、
コレクタ層の形成後に、コレクタ電極を形成する工程と、
を含むことを特徴とする半導体装置の製造方法。

【請求項5】 FZウェハの一方の主面側に選択的に高不純物濃度の分離領域を形成する工程と、
隣り合う分離領域間のウェハ表面に、エミッタ領域、ゲート酸化膜、ゲート電極およびエミッタ電極を形成する工程と、
ウェハの他方の主面を研削する工程と、

ウェハの研削後に、ウェハの他方の主面にコレクタ層を形成する工程と、

ウェハの研削後に、ウェハの他方の主面に酸素イオンを照射し、 300°C 以上 500°C 以下の温度でアニールをおこなってバッファ層を形成する工程と、
コレクタ層の形成後に、コレクタ電極を形成する工程と、
を含むことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電力変換装置などに使用される半導体装置およびその製造方法に関し、特にFZウェハを用いたパンチスルー型のIGBTおよびその製造方法に関する。

【0002】

【従来の技術】電力変換装置などに使用される半導体装置としてIGBTがある。IGBTには、ブロッキングモード（エミッタ・コレクタ間に定格電圧が印加され、ゲートにしきい値以上の電圧が印可されていないオフ状態）時にエミッタ領域から伸びる空乏層がコレクタ層にまで伸展しないようにドリフト層を厚くしたノンパンチスルー型IGBT（以下、NPT-IGBTとする）と、ドリフト層とコレクタ層との間にバッファ層を設けて空乏層がコレクタ層にまで伸展するのを防ぐパンチスルー型IGBT（以下、PT-IGBTとする）とがある。一般に、NPT-IGBTは安価なFZウェハを用いて製造される。一方、PT-IGBTにはエピタキシャルウェハが用いられる。

【0003】図11は、従来のNPT-IGBTの構成を示す縦断面図である。NPT-IGBTでは、図11に示すように、FZウェハよりなる n^- ドリフト層11の一方の主面（以下、表面とする）側に p ベース領域12および n^+ エミッタ領域13が設けられており、もう一方の主面（以下、裏面とする）側に p^+ コレクタ層14が設けられている。そして、ベース領域12上にはゲート絶縁膜であるゲート酸化膜15を介してゲート電極16が形成されており、さらにその上に層間絶縁膜17を介してエミッタ電極18が形成されている。また、コレクタ層14の表面上にはコレクタ電極19が形成されている。

【0004】図11に示す構成のNPT-IGBTでは、コレクタ電極19に正電圧を印加するとともにゲート電極16に正電圧を印加すると、IGBT表面にチャネルが形成され、ドリフト層11中を電子電流が流れる。電子がコレクタ層14に到達すると、ドリフト層11にホールが注入される。それによって、ドリフト層11は高注入状態となり、抵抗が激減するため、低オン電圧が実現される。しかし、この構成のNPT-IGBTでは、ドリフト層11が十分に厚いため、その分抵抗が上昇し、IGBTのオン状態における電圧降下量が大き

くなるとともに、ドリフト層11での蓄積キャリア量が增大してターンオフ時の損失が大きくなるという欠点がある。

【0005】図12は、従来のPT-IGBTの構成を示す縦断面図である。PT-IGBTでは、図12に示すように、p⁺コレクタ層24上にn⁺バッファ層20およびn⁻ドリフト層21が順に設けられる。これら3つの層（コレクタ層24、バッファ層20およびドリフト層21）は、高濃度p型シリコン基板上に高濃度n型エピタキシャル層を成長させ、さらにその上に低濃度n型エピタキシャル層を成長させたウェハにより構成される。n⁻ドリフト層21の表面部分にはpベース領域22およびn⁺エミッタ領域23が設けられている。そして、さらにその上に、ゲート絶縁膜であるゲート酸化膜25、ゲート電極26、層間絶縁膜27およびエミッタ電極28が形成されている。また、コレクタ層24の裏面にはコレクタ電極29が形成されている。

【0006】図12に示す構成のPT-IGBTでは、ブロッキングモード時の空乏層の伸びがバッファ層20で止められるため、ドリフト層21が薄くても高い耐圧を得ることができる。このため、同耐圧のNPT-IGBTに比較して、オン状態の電圧降下量が小さいという利点を有する。しかし、順方向導通時にコレクタ層24から注入されるホールの量が極めて多いため、ターンオフ損失が大きいうという欠点がある。また、エピタキシャルウェハは高価格であるため、NPT-IGBTに比べてコストが増大するという欠点もある。

【0007】そこで、FZウェハを用いたPT-IGBT（以下、I型ドリフト層PT-IGBTとする）が知られている。図13は、I型ドリフト層PT-IGBTの構成を示す縦断面図である。I型ドリフト層PT-IGBTは、図13に示すように、FZウェハよりなるn⁻ドリフト層31の裏面側にp⁺コレクタ層34およびn⁺バッファ層30がイオン注入法により形成され、コレクタ電極39が設けられた構成となっている。n⁻ドリフト層31の表面側には、pベース領域32、n⁺エミッタ領域33、ゲート酸化膜（ゲート絶縁膜）35、ゲート電極36、層間絶縁膜37およびエミッタ電極38が形成されている。

【0008】図13に示す構成のI型ドリフト層PT-IGBTでは、ブロッキングモード時の空乏層の伸びがバッファ層30で止められるため、ドリフト層31が薄くても高い耐圧を得ることができる。このため、同耐圧のNPT-IGBTに比較して、オン状態の電圧降下量が小さいという利点を有する。また、コレクタ層34が低濃度であるため、順方向導通時におけるホール注入量が少ない。したがって、ターンオフ損失が小さいという利点も有する。

【0009】

【発明が解決しようとする課題】一般に、IGBTの損

失を低減するためには、ドリフト層をできるだけ短くするのが望ましい。しかし、ドリフト層を短くすると耐圧が低くなってしまふ。図14は、ブロッキングモード時にIGBTに生じる電界分布の様子を表すグラフである。このグラフにおいて、各IGBTの、PN接合部における最大電界強度が臨界電界強度に達したときの電界分布の積分値、すなわち各電界分布の面積がそれぞれのIGBTの耐圧を表す。この面積が大きいほど耐圧特性が高くなる。したがって、短いドリフト層で高い耐圧特性を得るためには、図14に実線で示す「I型ドリフト層PT-IGBT」のように、ドリフト層中での電界分布の傾きをできるだけ小さくして四角形電界分布を実現すればよいことがわかる。ドリフト層中での電界分布の傾きを小さくするためには、ドリフト層の不純物濃度を非常に小さくしてI層化すればよい。

【0010】しかしながら、ドリフト層をI層化すると、ターンオフ時に非常に高いサージ電圧を伴う激しい振動が発生するという問題点がある。この振動が発生する理由は以下のとおりである。バッファ層付きのIGBTは、ターンオフ時に空乏層の電界によってドリフト層中の蓄積キャリアが掃き出されて、ブロッキングモードに移行する。スイッチング時のコレクタ・エミッタ間電圧はIGBTの定格耐圧の半分程度である。ターンオフ時に空乏層がバッファ層に到達すると、ドリフト層中に過剰キャリアが存在せず、IGBTは容量 ϵ/W のコンデンサとなる。ここで、 ϵ はシリコンの誘電率であり、 W はドリフト層幅である。このIGBTの容量と配線の寄生インダクタンスによりLC回路が構成されることになるため、振動が発生する。

【0011】また、ドリフト層をI層化すると、空乏層が素子の側面（ダイシング面）にまで容易に到達してしまふ。この素子側面にはダイシング後の物理的な歪が残っているため、キャリア寿命が非常に短い。したがって、素子側面に空乏層が到達すると非常に大きな発生電流が流れてしまひ、十分な耐圧を得ることができないという問題点もある。したがって、実際には、定格電圧が印加されたときに空乏層が素子側面に到達しない程度にドリフト層の不純物濃度を高くする必要があるため、ドリフト層をI層化することは極めて困難である。

【0012】本発明は、上記問題点に鑑みてなされたものであって、FZウェハを用い、I層化したドリフト層を有するバッファ層付きのI型ドリフト層PT-IGBTを構成する半導体装置およびその製造方法を提供することを目的とする。

【0013】

【課題を解決するための手段】上記目的を達成するため、本発明にかかる半導体装置は、FZウェハを用い、ドリフト層の不純物濃度を非常に小さくしてドリフト層をI層化し、さらにバッファ層を、ブロッキングモード時に空乏層の伸びを途中で阻止するとともに、ターンオ

フ時に空乏層の伸びを阻止した状態でコレクタ層寄りの領域に過剰キャリアを有する程度の幅と濃度に設定する。また、素子側面（ダイシング面）に沿ってドリフト層の表面からバッファ層に至るまで高不純物濃度の分離領域を設ける。

【0014】この発明によれば、バッファ層により、ブロッキングモード時の空乏層の伸びがコレクタ層に到達するのが阻止されるとともに、ターンオフ時に空乏層の伸びを阻止した状態でバッファ層の、コレクタ層寄りの領域に過剰キャリアが存在する。また、分離領域により、ブロッキングモード時の空乏層の伸びが素子側面に到達するのが阻止される。

【0015】また、本発明にかかる半導体装置の製造方法は、FZウェハの表面側に選択的に分離領域を形成し、エミッタ領域、ゲート酸化膜、ゲート電極およびエミッタ電極を形成した後、ウェハ裏面を研削し、ウェハ裏面にコレクタ層を形成するとともに、ウェハ裏面にプロトン照射し、300℃以上500℃以下の温度でアニールをおこなってバッファ層を形成し、コレクタ電極を形成するものである。この発明によれば、FZウェハを用い、素子側面に沿って分離領域を有し、かつバッファ層を有するI型ドリフト層PT-IGBTを構成する半導体装置が得られる。

【0016】

【発明の実施の形態】以下に、本発明の実施の形態について図面を参照しつつ詳細に説明する。図1は、本発明にかかる半導体装置を構成するI型ドリフト層PT-IGBTの構成の一例を示す縦断面図である。このI型ドリフト層PT-IGBTは、図1に示すように、n⁻ドリフト層41、pベース領域42、n⁺エミッタ領域43、p⁺コレクタ層44、ゲート絶縁膜であるゲート酸化膜45、ゲート電極46、層間絶縁膜47、エミッタ電極48、コレクタ電極49、n⁺バッファ層40およびn⁺分離領域51を備えている。図1においては、n⁻ドリフト層41にはPベース領域42が1つしか形成されていないが、pベース領域42を複数形成することができる。そしてそれぞれのpベース領域42に対してn⁺エミッタ領域43、ゲート酸化膜45、ゲート電極46、層間絶縁膜47を備えるようにすることもできる。

【0017】ドリフト層41はFZウェハにより構成される。ベース領域42はドリフト層41の表面部分に形成されている。エミッタ領域43はベース領域42の表面部分に形成されている。ゲート酸化膜45はベース領域42のチャネル領域となる部分の表面に形成されており、その上にゲート電極46が形成されている。エミッタ電極48は、層間絶縁膜47によりゲート電極46およびドリフト層41から絶縁された状態で、エミッタ領域43およびベース領域42に電気的に接続されている。コレクタ層44およびコレクタ電極49は、ドリフト層41の裏面部分に形成されている。バッファ層40

はコレクタ層44とドリフト層41との間に設けられている。分離領域51は、素子側面に沿ってドリフト層41の表面からバッファ層40に達するように設けられている。

【0018】ここで、ドリフト層41は、不純物濃度が非常に小さく、I層化されている。また、バッファ層40は、図2に示すように、バッファ層幅が長く、さらに低めの濃度に設定されている。これによって、ターンオフ時に、空乏層の伸びがバッファ層40中で阻止される。また、バッファ層濃度が低いため、空乏層が阻止された位置よりもさらにコレクタ側に過剰キャリアが存在する。一般に、I型ドリフト層PT-IGBTでターンオフ時に振動が発生するのは、ドリフト層中の過剰キャリアが枯渇することが原因である。本実施の形態のI型ドリフト層PT-IGBTでは、バッファ層40中のコレクタ側に存在する過剰キャリアによってターンオフ時の振動が抑制される。

【0019】ここで、順方向導通時のバッファ層40中の電子濃度をNとすると、バッファ層40の平均ドーピング濃度がN以下の場合に高注入状態となり、過剰キャリアが存在する。したがって、バッファ層40の厚さをxとすると、バッファ層40中の総不純物濃度はx・N以下である必要がある。一方、バッファ層40において空乏層を阻止するためには、バッファ層40内で臨界電界、たとえば $2 \times 10^5 \text{ V/cm}$ をゼロにする必要がある。したがって、シリコン中の誘電率を ϵ_{ps} 、素電荷をqとすると、 $2 \times 10^5 < q \cdot (\text{バッファ層中の総不純物濃度}) / \epsilon_{ps}$ という式が成り立つ必要がある。この式について定数を計算すると、 $x \cdot N > (\text{バッファ層中の総不純物濃度}) > 1.3 \times 10^{12}$ が得られる。

【0020】また、定格耐圧をV、ドリフト層41の不純物濃度をNDとすると、縦方向の空乏層幅は $\sqrt{(2 \cdot \epsilon_{ps} \cdot V) / (q \cdot ND)}$ で与えられる。横方向の空乏層幅を縦方向の空乏層幅のたとえば6倍であるとすると、横方向の空乏層幅は $6\sqrt{(2 \cdot \epsilon_{ps} \cdot V) / (q \cdot ND)}$ となる。これを計算すると、横方向の空乏層幅は $\sqrt{(4.68 \times 10^8 \text{ V} / ND)}$ となる。

【0021】本実施の形態では、定格耐圧V、ドリフト層41の不純物濃度NDおよび耐圧構造幅Wの間には、 $W^2 < 4.68 \times 10^8 \text{ V} / ND$ という関係が成り立つ。つまり、耐圧構造幅Wは横方向の空乏層幅よりも短い。したがって、分離領域51がないと仮定すると、ブロッキングモード時に空乏層が素子側面にまで広がり、漏れ電流が大きくなってしまふ。これを防ぐため、本実施の形態では分離領域51が設けられている。つまり、分離領域51により空乏層が素子側面に到達するのを防いでいるため、漏れ電流が従来のIGBTと同程度かそれ以下に抑えられる。なお、耐圧構造幅Wが横方向の空乏層幅よりも長い場合に分離領域51を設けても何ら特性上の問題はない。

【0022】つぎに、図1に示す構成のI型ドリフト層PT-IGBTの製造プロセスについて説明する。図3～図8は、製造途中のI型ドリフト層PT-IGBTの要部を示す縦断面図である。一例として、このIGBTの耐圧を1200Vとする。まず、たとえば比抵抗が1000Ωcmで厚さが500μmのFZウェハの表面に、たとえば100μmの間隔をあけて選択的にマスク61を形成する(図3)。そして、ウェハ表面からn型不純物をイオン注入する。これによって、ウェハ表面の、マスク61で被われていない領域に不純物注入領域62ができる(図4)。

【0023】つづいて、熱処理によって不純物注入領域62のn型不純物をたとえば110μmの深さまで選択拡散させて分離領域51を形成する(図5)。ウェハ表面の熱酸化膜63を除去した後、隣り合う分離領域51、51間に、ベース領域42、エミッタ領域43、ゲート酸化膜45およびゲート電極46を形成する。そして、表面に層間絶縁膜47を形成した後、アルミニウムを蒸着し、パターンニングしてエミッタ電極48を形成する(図6)。しかる後、FZウェハを裏面から研削し、シリコン領域の厚さをたとえば95μmにする(図7)。

【0024】つづいて、ウェハ裏面にボロンイオンを照射した後、300℃～500℃でアニールをおこない、ボロン原子を活性化させて、たとえば厚さ0.5μmのコレクタ層44を形成する。つづいて、ウェハ裏面にプロトンまたは酸素イオンを照射した後、300℃～500℃でアニールをおこない、たとえばピーク濃度が $5 \times 10^{15} \text{ cm}^{-3}$ で幅が20μmのバッファ層40を形成する(図8)。このとき、ドリフト層41の幅はたとえば75μmとなる。最後に、ウェハ裏面にコレクタ電極49を形成し、ダイシングすれば図1に示すI型ドリフト層PT-IGBTが完成する。なお、図1および図3～図8において、ダイシング面を破線で示す。

【0025】上述した実施の形態によれば、バッファ層40により、ブロッキングモード時の空乏層の伸びがコレクタ層44に到達するのが阻止されるとともに、空乏層の伸びを阻止した状態でバッファ層40の、コレクタ層寄りの領域に過剰キャリアが存在するので、I層化したドリフト層41を有するIGBTにおいてターンオフ時に振動が発生するのを防ぐことができる。図9に、実施の形態のI型ドリフト層PT-IGBTと従来のI型ドリフト層PT-IGBT(図13参照)についてターンオフ波形を示す。実施の形態によれば、ターンオフ時に振動が発生していないことがわかる。

【0026】また、上述した実施の形態によれば、分離領域51により、ブロッキングモード時の空乏層の伸びが素子側面に到達するのが阻止されるので、耐圧構造幅が横方向の空乏層幅よりも短い場合でも漏れ電流を抑えることができる。したがって、ターンオフ時に振動発生

のない、高耐圧のI型ドリフト層PT-IGBTを構成する半導体装置が得られる。

【0027】また、上述した実施の形態において、順方向導通時の過剰キャリア分布に関して、ドリフト層中間位置における過剰キャリア濃度がドリフト層41とバッファ層40の境界における可能キャリア濃度以上で、かつ5倍以下になるようにするとよい。そうすれば、オン電圧対ターンオフ損失のトレードオフを最適化することができる。これにはトレンチゲート構造を採用するとよい。図10に、定格耐圧を1200Vとした場合の、実施の形態のI型ドリフト層PT-IGBT、それにトレンチゲート構造を採用したI型ドリフト層PT-IGBT、従来のI型ドリフト層PT-IGBT(図13参照)、および従来のNPT-IGBT(図11参照)のトレードオフを示す。また、オン電圧と耐圧のトレードオフも改善される。

【0028】以上において本発明は、上述した実施の形態に限らず、種々変更可能である。たとえば、実施の形態では、第1導電型をn型とし、第2導電型をp型としたが、本発明はその逆でも同様に成り立つ。また、寸法や濃度等は一例であり、本発明はこれに限定されるものではない。

【0029】

【発明の効果】本発明によれば、バッファ層により、ブロッキングモード時の空乏層の伸びがコレクタ層に到達するのが阻止されるとともに、ターンオフ時に空乏層の伸びを阻止した状態でバッファ層の、コレクタ層寄りの領域に過剰キャリアが存在するので、I層化したドリフト層を有するIGBTにおいてターンオフ時に振動が発生するのを防ぐことができる。また、分離領域により、ブロッキングモード時の空乏層の伸びが素子側面に到達するのが阻止されるので、耐圧構造幅が横方向の空乏層幅よりも短い場合でも漏れ電流を抑えることができる。したがって、ターンオフ時に振動発生のない、高耐圧のI型ドリフト層PT-IGBTを構成する半導体装置が得られる。

【図面の簡単な説明】

【図1】本発明にかかる半導体装置を構成するI型ドリフト層PT-IGBTの構成の一例を示す縦断面図である。

【図2】図1に示す構成のI型ドリフト層PT-IGBTにおいてバッファ層中に過剰キャリアが存在することを説明するための図である。

【図3】図1に示す構成のI型ドリフト層PT-IGBTの製造途中の要部を示す縦断面図である。

【図4】図1に示す構成のI型ドリフト層PT-IGBTの製造途中の要部を示す縦断面図である。

【図5】図1に示す構成のI型ドリフト層PT-IGBTの製造途中の要部を示す縦断面図である。

【図6】図1に示す構成のI型ドリフト層PT-IGBT

10

20

30

40

50

Tの製造途中の要部を示す縦断面図である。

【図7】図1に示す構成のI型ドリフト層PT-IGBTの製造途中の要部を示す縦断面図である。

【図8】図1に示す構成のI型ドリフト層PT-IGBTの製造途中の要部を示す縦断面図である。

【図9】実施の形態のI型ドリフト層PT-IGBTと従来のI型ドリフト層PT-IGBTについてターンオフ波形を示す波形図である。

【図10】実施の形態を含む種々のI型ドリフト層PT-IGBTについてオン電圧対ターンオフ損失のトレードオフを示す図である。

【図11】従来のNPT-IGBTの構成を示す縦断面図である。

【図12】従来のPT-IGBTの構成を示す縦断面図である。

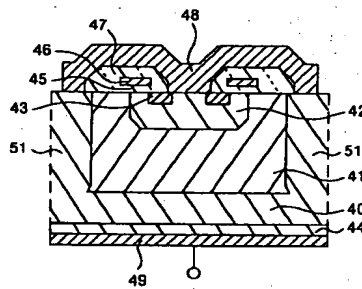
【図13】従来のPT-IGBTの別の構成を示す縦断面図である。

【図14】ブロッキングモード時にIGBTに生じる電界分布の様子を表すグラフである。

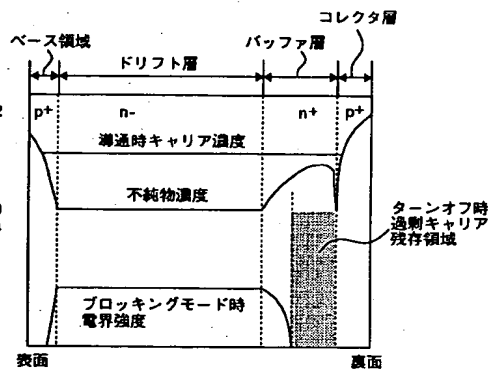
【符号の説明】

- | | |
|----|-----------------|
| 40 | バッファ層 |
| 41 | ドリフト層 |
| 42 | ベース領域 |
| 43 | エミッタ領域 |
| 44 | コレクタ層 |
| 45 | ゲート酸化膜 (ゲート絶縁膜) |
| 46 | ゲート電極 |
| 48 | エミッタ電極 |
| 49 | コレクタ電極 |
| 51 | 分離領域 |

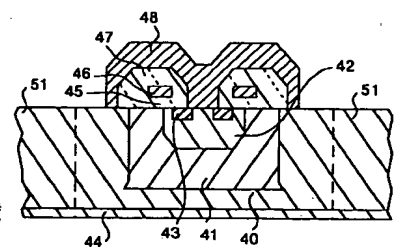
【図1】



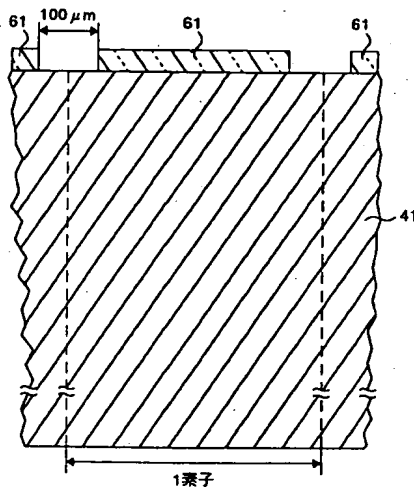
【図2】



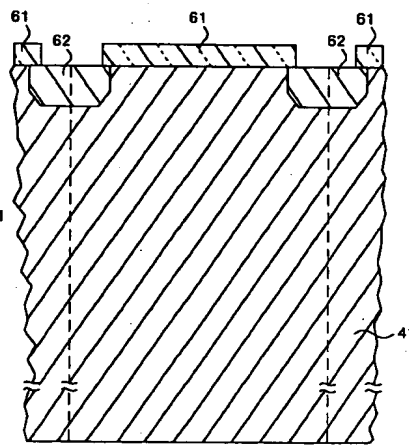
【図8】



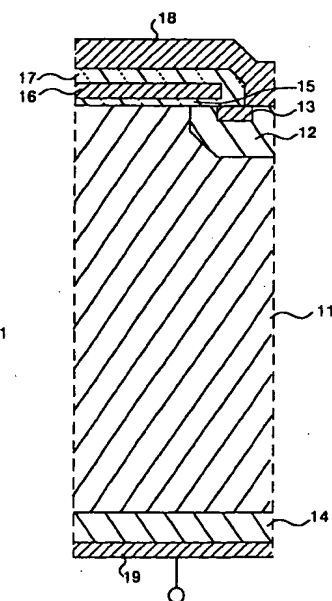
【図3】



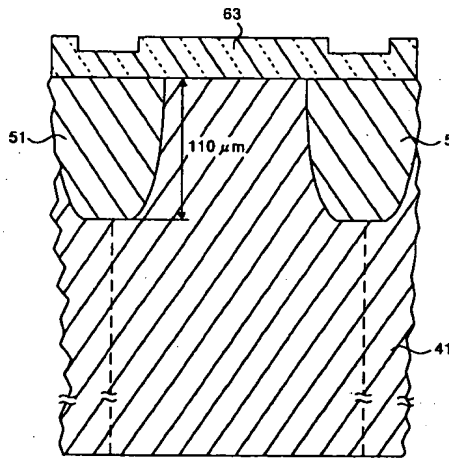
【図4】



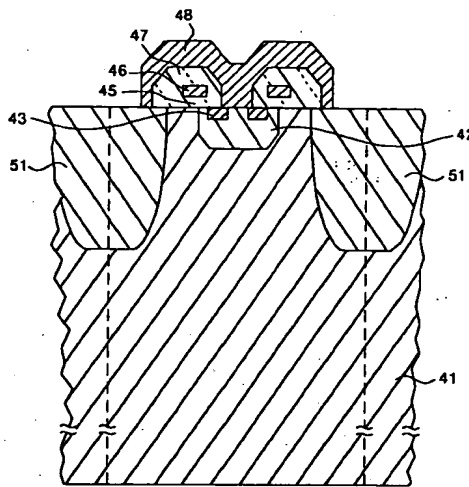
【図11】



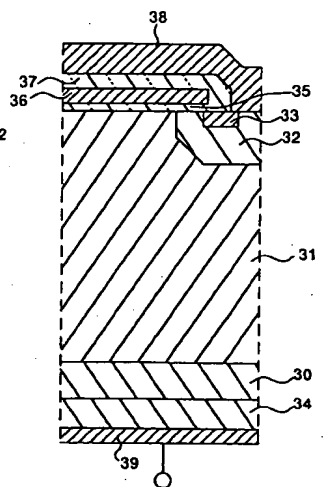
【図5】



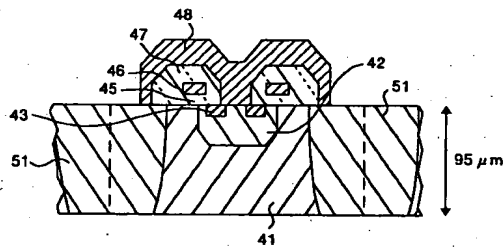
【図6】



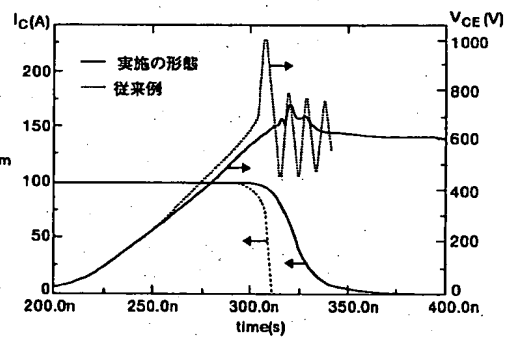
【図13】



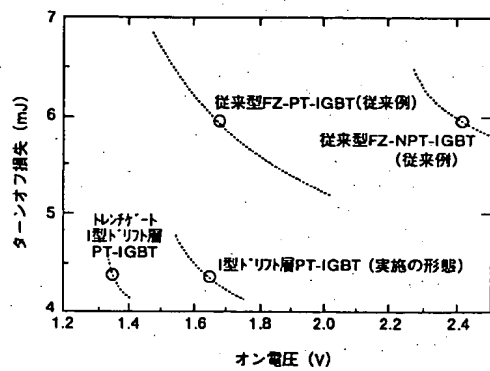
【図7】



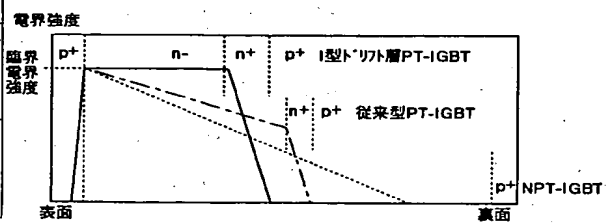
【図9】



【図10】



【図14】



【図12】

